

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017575

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/822

H01L 27/04

(21)Application number : 2001-203216

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.07.2001

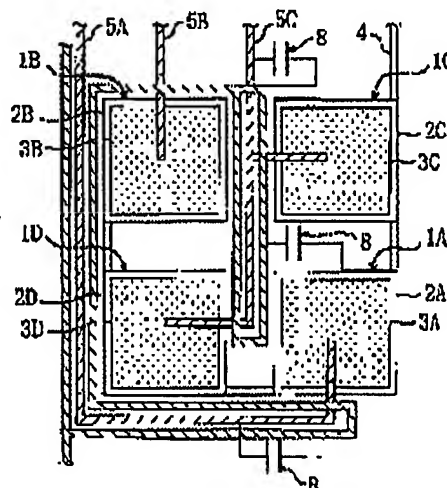
(72)Inventor :  
MIYATA YOSHINORI  
MURATA KENJI  
NOMAZAKI DAISUKE

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, D/A CONVERSION DEVICE AND A/D CONVERSION DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance mutual precision of each cell without increasing a chip cost due to deterioration of the mutual precision and increase of an area between cells 1A-1D by suppressing capacity coupling of upper side electrode wirings 5A, 5C, lower side electrode wiring 4 and lower side electrodes 2A-2D without enlarging each distance between mutual cells 1A-1D and between the cells 1A-1D and the wirings 4, 5A-5D in a capacity array comprising four unit capacity cells.

**SOLUTION:** Shield wiring 6 suppressing the capacity coupling of the upper side electrode wiring 5A and the lower side electrode wiring 4 and the capacity coupling of lower side electrodes 2B, 2C on both sides of the upper side electrode wiring 5A is provided respectively. In addition, the shield wiring 6 is extended to surround the upper side electrode wiring 5C, and the capacity coupling of the upper side electrode wiring 5C and the lower side electrodes 2A-2D is suppressed.



## LEGAL STATUS

[Date of request for examination] 17.05.2002

[Date of sending the examiner's decision of rejection] 24.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3549499

[Date of registration] 30.04.2004

[Number of appeal against examiner's decision of rejection] 2004-001622

[Date of requesting appeal against examiner's decision of rejection] 23.01.2004

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17575

(P2003-17575A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テームト(参考)

H01L 21/822

H01L 27/04

H 5F038

27/04

C

D

審査請求 有 請求項の数12 OL (全 12 頁)

(21) 出願番号 特願2001-203216(P2001-203216)

(22) 出願日 平成13年7月4日 (2001.7.4)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 宮田 英樹

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 村田 健治

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

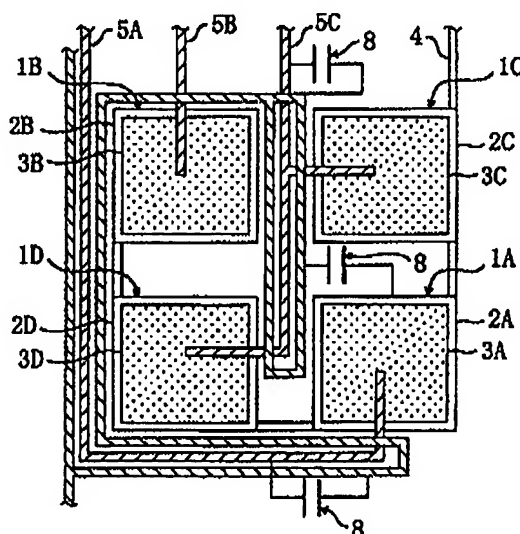
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置ならびにD/A変換装置およびA/D変換装置

(57) 【要約】

【課題】 4個の単位容量セル1A~1Dからなる容量アレイにおいて、セル1A~1D相互間ならびにセル1A~1Dと配線4、5A~5Dとの間の各距離を大きくすることなく、上側電極配線5A、5Cと、下側電極配線4および下側電極2A~2Dとの容量結合を抑えることができるようにし、もって、セル1A~1D間の相対精度の劣化や面積の増大によるチップコストの上昇を招くことなく、各セル1A~1Dの相対精度が高められるようにする。

【解決手段】 上側電極配線5Aの両側に、この上側電極配線5Aと、下側電極配線4との容量結合、および下側電極2B、2Cとの容量結合をそれぞれ抑えるシールド配線6を設ける。また、このシールド配線6を延設して上側電極配線5Cを取り囲むようにし、この上側電極配線5Cと、下側電極2A~2Dとの容量結合も抑えるようにする。



(2)

特開2003-17575

1

## 【特許請求の範囲】

【請求項1】 互いに近接して配置された第1の配線および第2の配線と、前記第1配線と前記第2配線との容量結合を抑えるように設けられたシールド配線とを備えていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、

第1電極と第2電極とを有してなる回路素子を備え、第1の配線は、前記回路素子の前記第1電極に接続された第1電極配線であり、

第2の配線は、前記回路素子の前記第2電極に接続された第2電極配線であり、

シールド配線は、前記第1および第2電極配線間の容量結合に加え、前記第1電極配線と前記第2電極との容量結合を抑えるとともに、前記第2電極配線と前記第1電極との容量結合を抑えるように設けられていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、

各々、第1電極と第2電極とを有し、互いに近接して配置された複数の容量セルを備え、

第1の配線は、前記容量セルの前記第1電極に接続された第1電極配線であり、

第2の配線は、前記容量セルの前記第2電極に接続された第2電極配線であり、

シールド配線は、前記第1および第2電極配線間の容量結合に加え、前記第1電極配線と前記第2電極との容量結合を抑えるように設けられていることを特徴とする半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置において、

シールド配線は、第1および第2電極配線間の容量結合と、第1電極配線および第2電極間の容量結合とに加え、前記第2電極配線と第1電極との容量結合を抑えるように設けられていることを特徴とする半導体集積回路装置。

【請求項5】 請求項3または4記載の半導体集積回路装置において、

第1導電層と、該第1導電層上に設けられた第2導電層と、該第2導電層上に設けられた第3導電層とを備え、各容量セルの第1電極配線は、前記第1導電層により形成され、

前記各容量セルの第2電極配線は、前記第3導電層により形成され、

シールド配線は、前記第2導電層により形成されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項3または4記載の半導体集積回路装置において、

各容量セルの第1電極配線、第2電極配線および第2電極は、互いに同じ導電層により形成され、

2

シールド配線は、前記導電層により形成されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項3ないし6記載の半導体集積回路装置において、

シールド配線の電位を固定電位にするように構成されていることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置において、

固定電位は、各容量セルに印可される電圧範囲の略中間電位であることを特徴とする半導体集積回路装置。

【請求項9】 請求項3または4記載の半導体集積回路装置において、

各容量セルの第1および第2電極のうちの一方は、拡散層により形成されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項3または4記載の半導体集積回路装置において、

第1の導電層と、該第1導電層上に設けられた第2の導電層と、該第2導電層上に設けられた第3導電層とを備え、

各容量セルの第1電極は、前記第1導電層と前記第3導電層とが電気的に接続されてなり、

前記各容量セルの第2電極は、前記第2導電層により形成されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項3ないし10記載の半導体集積回路装置を備えた電荷分配型D/A変換装置。

【請求項12】 請求項11記載の電荷分配型D/A変換装置を、局部D/A変換装置として備えた電荷再分配型A/D変換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置（LSI）ならびにD/A変換装置およびA/D変換装置に関し、特にLSIチップ上の複数の容量の相対精度を高める対策に関する。

## 【0002】

【従来の技術】一般に、半導体集積回路上に複数の容量セルを形成する場合に、その相対精度は、各容量セルを構成する2電極間絶縁層の均一性の他、その電極を別の回路素子に接続する配線によって生じる寄生容量の均一性により決まる。また、素子形状によるばらつきを避けるため、単位容量値Cのn倍（nは整数）の容量が必要であるときには、n個の単位容量セルを並列に接続して作製される。

【0003】そして、容量アレイ内の単位容量セルを組み合わせて所定の容量を得るときには、容量アレイ内の単位容量セル間の面内ばらつきを考慮して、その単位容量セルは容量アレイのなかから分散して選ばれる。例えば、図15に示すように、4個の単位容量セル100A～100Dが縦および横に2×2の状態に配置されて

10

20

30

40

50

(3)

特開2003-17575

3

なる容量アレイにおいて、容量比が $C1:C2:C3=1:1:2$ である容量を得る場合について説明すると、容量 $C1$ および容量 $C2$ には、それぞれ単位容量セル100Aおよび単位容量セル100Bを対応させ、容量 $C3$ には2個の単位容量セル100C、100Dを対応させる。

【0004】このとき、各単位容量セル100A~100Dの下側電極200A~200Dへの下側電極配線300が共通とされていて容量アレイの周縁に沿うように配置されており、一方、単位容量セル100Aの上側電極400Aへの上側電極配線500Aが下側電極配線300に沿って配置されており、単位容量セル100Dの上側電極配線500Cが単位容量セル100A~100Dの近傍を通過するように配置されていることから、特に上側電極配線500A、500Cによる寄生容量600、600、…が生じやすい。それを避けるには、容量セル100A~100D相互間の間隔を十分に広く取るようにすればよい。

【0005】

【発明が解決しようとする課題】しかしながら、上述のように容量セル100A~100D相互間の間隔を広くすると、今度は、それら容量セル100A~100D間の容量アレイ内ばらつきが大きくなって容量セル100A~100D間の相対精度劣化につながり、その上、容量アレイ全体の面積が増大してチップコストの上昇を招くことになる。

【0006】ここで、複数の単位容量セルからなる容量アレイを備えた10ビットの電荷分配型D/A変換器の場合に、容量アレイの面積がどれだけ必要になるのかについて説明する。尚、以下の説明では、4個の単位容量セルが $2 \times 2$ の状態に配置されており、各単位容量セルは、導電層（厚さ： $1 \mu m$ ）と容量電極専用の導電層との間に絶縁層（比誘電率：4）を介在させて形成された一対の電極を有していて、一辺が $14 \mu m$ の正方形でありかつ容量密度が $1 fF/\mu m$ （単位容量： $196 fF$ ）とする。また、配線は、配線幅が $0.5 \mu m$ であって、前記導電層により形成されているものとする。

【0007】この場合に、1本の配線を単位容量セル間に各単位容量セルに対し一定の距離 $L$ （単位： $\mu m$ ）を

において通したときに生じる寄生容量は、対抗面積容量換算では、概略で、

$14 \times 1 \times (1/L) \times 4 \times 8.85 E-18 = 0.5 fF/L$

である。

【0008】一方、この場合には、最上位ビットの容量の相対精度としては、単位容量（ $196 fF$ ）の $0.05\%$ よりも小さいことが必要である。

【0009】したがって、寄生容量の大きさを、単位容量の $0.05\%$ よりも小さくするには、単位容量セルおよび配線間の距離 $L$ は、

4

$0.5 fF/L < 196 fF \times 0.0005$

により、

$L > 5.1 \mu m$

であることが必要になり、したがって、この場合の容量アレイの面積は、

$(14 \times 2 + 5.1 \times 2 + 0.5)^2 = 38.7^2 = 1497.69$

となり、単に4個の単位容量セルを $2 \times 2$ の状態に隙間なく並べた場合の面積（ $28 \times 28 = 784$ ）の略2倍の面積が必要ながことが判る。

【0010】さらに、単位容量セル間に2本の配線を通し、それら配線の間隔も同様に離す場合には、単位容量セル間の間隔は、 $16.3 \mu m$ になり、この条件では、例えば36個の単位容量セルを $6 \times 6$ の状態に並べた容量アレイの場合には、容量アレイ全体の面積は、容量として有効に使われる面積の略4倍の面積になる。

【0011】以上、述べたように、従来の場合には、各容量セルの相対精度の劣化を回避すべく配線による寄生容量を考慮すると、容量セル相互間の距離が大きくなることになり、その結果、容量セル間の相対精度が劣化するのみならず、面積が増大してチップコストの上昇を招くという難点がある。

【0012】この発明は斯かる諸点に鑑みてなされたものであり、その主な目的は、半導体基板上の複数個の容量セル等の回路素子にそれぞれ配線が接続されている半導体集積回路装置において、回路素子間の距離を大きくすることなく、素子相互間、配線相互間、配線と素子との間の各寄生容量を小さくできるようにし、もって、素子相互間の相対精度の劣化や面積の増大によるチップコストの上昇を招くことなく、素子の相対精度が高められるようにすることにある。

【0013】

【課題を解決するための手段】上記の目的を達成すべく、この発明では、配線と配線および素子との間にシールド配線を加え、このシールド配線により寄生容量を小さく抑えることで、素子相互間の距離を大きくすることなく、素子の相対精度を高めることができるようにした。

【0014】具体的には、請求項1の発明では、互いに近接して配置された第1配線および第2配線に対し、それら第1配線と第2配線との容量結合を抑えるように設けられたシールド配線を備えるようにした。

【0015】請求項2の発明では、請求項1の発明において、第1電極と第2電極とを有する回路素子を備えている場合に、その第1電極に接続された第1電極配線により、第1配線を構成する一方、第2電極に接続された第2電極配線により、第2配線を構成するものとする。そして、シールド配線は、第1および第2電極配線間の容量結合に加え、第1電極配線と第2電極との容量結合を抑えるとともに、第2電極配線と第1電極との容量結

50

(4)

特開2003-17575

5

合を抑えるように設けられているものとする。

【0016】請求項3の発明では、請求項1の発明において、各々、第1電極と第2電極とを有して、互いに近接して配置された複数の容量セルを備えている場合に、その第1電極に接続された第1電極配線により、第1配線を構成する一方、第2電極に接続された第2電極配線により、第2配線を構成するものとする。そして、シールド配線は、第1および第2配線間の容量結合に加え、第1電極配線と第2電極との容量結合を抑えるように設けられているものとする。

【0017】この構成によれば、容量セル間において、各第1電極が、基本的に各容量セル毎に個別の電位を供給される個別電極であり、かつ各第2電極が、容量セルに共通の電位を供給される共通電極である場合に、各容量セルの個別電極配線（第1電極配線）と、他の各容量セルの共通電極（第2電極）および第2電極配線（共通電極配線）との容量結合が抑えられる。

【0018】請求項4の発明では、請求項3の発明において、シールド配線は、第1および第2電極配線間の容量結合と、第1電極配線および第2電極間の容量結合とに加え、第2電極配線と第1電極との容量結合についても、これを抑えるように設けられているものとする。

【0019】この構成によれば、第1電極に加え、第2電極も基本的に個別電極である場合に、容量セルの第1電極配線と、前記各容量セルの第2電極および第2電極配線との容量結合が抑えられるのに加え、各容量セルの第2電極配線と、前記各容量セルの第1電極との容量結合も抑えられる。

【0020】尚、請求項3および4の発明では、請求項9の発明のように、容量セルの第1および第2電極のうち一方を、拡散層により形成することができる。また、第1の導電層と、この第1導電層上に設けられた第2の導電層と、この第2導電層上に設けられた第3導電層とを備えている場合には、請求項10の発明のように、各容量セルの第1電極を、第1導電層と第3導電層とを電気的に接続して構成する一方、前記各容量セルの第2電極を、第2導電層により形成することができる。

【0021】請求項5の発明では、請求項3および4の発明において、第1導電層と、この第1導電層上に設けられた第2導電層と、この第2導電層上に設けられた第3導電層とを備えている場合に、第1電極配線は第1導電層により形成されており、第2電極配線は第3導電層により形成されており、シールド配線は第2導電層により形成されているものとする。

【0022】請求項6の発明では、請求項3または4の発明において、第1電極配線、第2電極配線および第2電極は、互いに同じ導電層により形成されている場合に、シールド配線もまた、前記導電層により形成されているものとする。

【0023】請求項7の発明では、請求項3～6の発明

6

において、シールド配線の電位を固定電位にするように構成されているものとする。その際に、請求項8の発明の場合のように、固定電位を、各容量セルに印可される電圧範囲の略中間電位にすることができる。

【0024】また、請求項11の発明では、請求項3～9の発明に係る容量セルを用いることで、高精度な電荷分配型D/A変換装置が実現できる。

【0025】さらに、請求項12の発明では、請求項11の発明に係る電荷分配型D/A変換装置を、電荷再分配型A/D変換装置の局部D/A変換装置として備えることで、高精度なA/D変換装置を実現することができる。

【0026】

【発明の実施の形態】以下、本発明の実施形態1～7を、図面に基づいて説明する。

【0027】（実施形態1）図1は、この発明の実施形態1に係る容量アレイの構成を模式的に示しており、この容量アレイは、例えば、電荷再分配型A/D変換装置の局部D/A変換器としての電荷分配型D/A変換器に用いられる。

【0028】この容量アレイは、4個の単位容量セル1A～1Dが2×2の状態に配置されてっており、これら単位容量セル1A～1Dは、C1:C2:C3=1:1:2の容量比の容量が得られるように組み合わせられている。容量C1には単位容量セル1A（図1の右下）が対応しており、容量C2には単位容量セル1B（同図左上）が対応しており、容量C3には単位容量セル1C（同図右上）および単位容量セル1D（同図左下）が対応している。

【0029】各単位容量セル1A～1Dは、略正方形をなして、それぞれ、下側電極2A～2Dと上側電極3A～3Dとを有する。下側電極2A～2Dには、単位容量セル1A～1D間で共通の下側電極配線4が接続されている。この下側電極配線4は、図1の上方から下方に延びて下側電極2Cに接続した後、残りの下側電極2C、2A、2Bに順に接続されるように容量アレイの周辺に配置されている。

【0030】一方、単位容量セル1Aの上側電極3Aには、上側電極配線5Aが接続されている。この上側電極配線5Aは、図1の上方から下方に延びて、容量アレイの同図左辺および下辺に配置されている。単位容量セル1Bの上側電極3Bには、上側電極配線5Bが接続されている。この上側電極配線5Bは、同図上方から下方に延びて上側電極3Bに達するように配置されている。残りの単位容量セル1C、1Dの各上側電極3C、3Dには、上側電極配線5Cが接続されている。この上側電極配線5Cは、同図上方から下方に延びて容量アレイの中央を通るように配置されている。

【0031】そして、この実施形態では、容量アレイ領域内において、単位容量セル1Aの上側電極配線5Aの

(5)

特開2003-17575

7

主要部分の両側に、上側電極配線5Aと、下側電極配線4、単位容量セル1B、1Dの下側電極2B、2Dとの容量結合を抑えるシールド配線6が設けられている。また、このシールド配線6は、単位容量セル1C、1Dの上側電極配線5Cの主要部分を左右両側から取り囲むように延設されており、このことで、上側電極配線5Cと、単位容量セル1A~1Dの下側電極2A~2Dとの容量結合についても、それを抑えるようになっている。尚、このようにシールド配線6を設けることで、該シールド配線6と上側電極配線5A、5Cとの間等に新たな寄生容量8、8、…が生じるようにはなるが、それら寄生容量8、8、…は、単位容量セル1A~1D相互間の相対精度に大きく影響する程のものではない。

【0032】したがって、この実施形態によれば、単位容量セル1A~1D間の距離を大きくすることなく、上側電極配線5Aと、下側電極配線4および下側電極2B、2Dとの容量結合を抑えることができるとともに、上側電極配線5Cと、下側電極2A~2Dとの容量結合を抑えることができ、よって、単位容量セル1A~1D相互間の相対精度の劣化や面積の増大によるチップコストの上昇を招くことなく、単位容量セル1A~1Dの相対精度を高めることができる。

【0033】（実施形態2）図2および図3は、この発明の実施形態2に係る容量セルの構成を模式的に示している。

【0034】この実施形態では、基板（図示せず）上に、第1の導電層11と、この第1導電層11の同図上側に位置する第2の導電層12と、この第2導電層12上の第3導電層13とが設けられており、容量セル1は、第1導電層11により形成された下側電極2と、絶縁層14を介して下側電極2に対面するように第2導電層12により形成された上側電極3とを有する。下側電極2には、下側電極配線4が接続されており、この下側電極配線4は第1導電層11により形成されている。一方、上側電極3には、上側電極配線5が接続されており、この上側電極配線5は、第3導電層13により形成されていて、導電体7を介して上側電極3に接続している。

【0035】そして、この実施形態では、上側電極配線5の主要部分の周りには、第1および第2導電層11、12により形成されたシールド配線6が配置されている。その際に、シールド配線6の第1導電層11による形成部分と、第2導電層12による形成部分とは、導電体7を介して互いに電気的に接続している。

【0036】したがって、この実施形態によっても、実施形態1の場合と同様の効果を得ることができる。

【0037】尚、上記の実施形態では、第1および第2導電層11、12によりシールド配線6を形成するようにしているが、第2導電層12のみにより形成するようにしてもよい。

8

【0038】（実施形態3）図4および図5は、この発明の実施形態3に係る容量セルの構成を模式的に示している。尚、実施形態2の場合と同じ部分には、同じ符号を付して示す。

【0039】この実施形態では、実施形態2の場合と同様に、容量セル1は、第1導電層11により形成された下側電極2と、絶縁層14を介して下側電極2に対面するように第2導電層12により形成された上側電極3とを有しており、下側電極2には、第1導電層11により形成された下側電極配線4が接続している。また、上側電極3には、上側電極配線5が接続されており、この上側電極配線5の上側電極3との接続部分は、第3導電層13により形成されている。実施形態2の場合と相違するのは、上側電極配線5の主要部分が、第3導電層13ではなく、第1導電層11により形成されている点である。尚、上側電極配線5の主要部分と接続部分とは、導電体7を介して電気的に接続されている。

【0040】そして、この実施形態では、上側電極配線5の主要部分は、第1導電層11により形成されたシールド配線6により取り囲まれており、このことで、上側電極配線5の主要部分と、下側電極配線4および上下の電極2、3との容量結合を抑えるようになっている。

【0041】したがって、この実施形態によっても、実施形態2の場合と同様の効果を得ることができる。

【0042】（実施形態4）図6は、この発明の実施形態4に係る単位容量セルの構成を模式的に示している。

【0043】この実施形態では、拡散層2とポリシリコン層3との間の容量により単位容量が構成されており、この単位容量の容量精度に影響するポリシリコン層3および配線の各部分を含めて単位容量セル1が形成されている。

【0044】具体的には、拡散層2は略矩形状をなしている。この拡散層2に対する拡散層電極配線4は、隣接する単位容量セル1、1間を縦方向および横方向にそれぞれ延びるように配置された第1部分4a、4a、…と、対応する単位容量セル1に近接する4つの第1部分4a、4a、…からそれぞれ拡散層2の各辺部中央に向かって延びる4つの第2部分4b、4b、…と、拡散層2の周辺部に重なるように配置された矩形状の第3部分4cとからなっている。拡散層電極配線4の第1部分4a、4a、…は、第1導電層により形成されており、第2部分4b、4b、…は、第3導電層により形成されている。第1部分4aと第2部分4bとは、第2導電層を介して接続している。第3部分4cは、第1導電層により形成されていて、各第2部分4bとはそれぞれ第2導電層を介して接続している。

【0045】一方、ポリシリコン層3は、拡散層電極配線4の第3部分4cの内周側に配置されていて、拡散層2の中央部分に重なる略矩形状の第1部分3aと、この第1部分3aの各辺部中央からそれぞれ放射状に延びる

(6)

特開 2003-17575

9

4つの第2部分3b、3b、…と、拡散層2の外周側に該拡散層2を取り囲むように配置されていて、単位容量セル1の領域の周縁を形成する略矩形枠状の第3部分3cとからなっている。このポリシリコン層3に対するポリシリコン層電極配線5は、拡散層電極配線4の縦方向の第1部分4aに重なるように配置された第1部分5aと、この第1部分5aからポリシリコン層3の第3部分3cの2つの隅角部に向かって横方向に延びる2つの第2部分5b、5bと、ポリシリコン層3の第3部分3cに重なるように配置された略矩形枠状の第3部分5cとからなる。ポリシリコン層電極配線5の第1～第3部分5a～5cは、共に第3導電層により形成されており、第3部分5cは、第1および第2導電層を介してポリシリコン層3の第3部分3cに接続している。尚、層厚方向に相隣る層同士は図外の絶縁層により電気的に絶縁されている。また、図6に示す白抜きの四角は、対応する層間に介在する導電体である。

【0046】そして、この実施形態では、拡散層電極配線4と、ポリシリコン層電極配線5およびポリシリコン層3との容量結合を抑えるシールド配線6が設けられており、このシールド配線6は、グラウンド電位に固定されるようになっている。

【0047】具体的には、シールド配線6は、拡散層電極配線4の縦方向の第1部分4aとポリシリコン層電極配線5の第1部分5aとの間に介在する第1部分6aと、拡散層電極配線4の第2部分4bとポリシリコン層電極配線5の第3部分5cとの間に介在する第2部分6bと、拡散層電極配線4の第1部分4aとポリシリコン層電極配線5の第3部分5cおよびポリシリコン層3の第3部分3cとの間に介在する第3部分6cとからなる。また、シールド配線6の第1および第2部分6a、6bは第2導電層により形成されており、第3部分6cは第1～第3導電層により形成されており、これら第3部分6cの第1～第3導電層は互いに電気的に接続している。

【0048】ここで、比較のために、図7に、シールド配線を設けることなく寄生容量結合を抑えるようにした従来の場合を示す。尚、同図では、拡散層電極配線4およびポリシリコン層電極配線5の各部分を形成する導電層は実施形態の場合とは多少異なるものの、その配置は実施形態の場合と略同じである。図6と図7との対比から明らかであるように、シールド配線6を設けることで、拡散層電極配線4の各第1部分4aと単位容量セル1との間の距離を小さくできることが判る。

【0049】したがって、この実施形態によれば、容量の相対精度に影響する領域であるポリシリコン層3の第3部分3cおよびポリシリコン層電極配線5の第3部分5cの領域を含めて単位容量セル1を形成し、その領域外の拡散層電極配線4およびポリシリコン層電極配線5間にシールド配線6を設けるようにしたので、単位容量

10

セル1、1相互間の相対精度の劣化および面積の増大を招くことなく、各容量セル1の相対精度の向上を図ることができる。

【0050】（実施形態5）図8は、この発明の実施形態5に係る容量アレイの構成を模式的に示している。

尚、実施形態1の場合と同じ部分には、同じ符号を付して示す。

【0051】この容量アレイは、2×2の状態に配置された4個の単位容量セル1A～1Dを備えている。

【0052】各単位容量セル1A～1Dは、それぞれ、略矩形形状をなして、下側電極2A～2Dと上側電極3A～3Dとを有する。下側電極2A～2Dは、第1導電層により形成されており、上側電極3A～3Dは、第1導電層上の第2導電層により形成されている。

【0053】各単位容量セル1A～1Dの下側電極2A～2Dには、単位容量セル1A～1D間で共通の下側電極配線4が接続されている。この下側電極配線4は、第2導電層上の第3導電層により形成されている。

【0054】一方、単位容量セル1A（図8の右下）の上側電極3Aには、上側電極配線5Aが接続されている。この上側電極配線5Aは、第2導電層により形成されている。単位容量セル1B（同図の右上）の上側電極3Bには、上側電極配線5Bが接続されている。この上側電極配線5Bも、上側電極配線5Aの場合と同じく、第2導電層により形成されている。

【0055】そして、この実施形態では、上側電極配線5Aと、該上側電極配線5Aの接続する単位容量セル1A以外の各単位容量セル1B～1Dの下側電極2B～2Dおよび上側電極3B～3Dならびに下側電極配線4との容量結合を抑えるシールド配線6が設けられている。このシールド配線6は、第1および第2導電層のうち、各単位容量セル1A～1Dの下側電極2A～2Dおよび上側電極3A～3Dを形成する部分以外の部分により形成されている。

【0056】ここで、比較のために、図9に、シールド配線の無い場合について示す。この場合には、図10

(b)に例示するように、単位容量セル1Aの上側電極配線5Aと、単位容量セル1Bの下側電極2Bとの間に発生する寄生容量8により、単位容量セル1Aの容量が $\Delta C$ だけ増大( $C + \Delta C$ )して電荷保持容量の比精度が崩れることになる。これに対し、実施形態の場合には、図10(a)に示すように、単位容量セル1Aの容量が変化しないので、比精度は保たれる。

【0057】したがって、この実施形態によっても、実施形態1の場合と同様の効果を得ることができる。

【0058】（実施形態6）図11は、この発明の実施形態6に係る単位容量セルの構成を模式的に示している。

【0059】この単位容量セルでは、ポリシリコン層と、このポリシリコン層上の第1導電層と、この第1導

10

20

30

40

50

(7)

特開 2003-17575

11

電層上の第2導電層と、この第2導電層上の第3導電層とにより4つの電極が形成されている。そして、ポリシリコン層の電極と、第2導電層の電極とにより第1電極2が構成されており、第1導電層の電極と第3導電層の電極とにより第2電極3が構成されている。

【0060】第1電極2に対する第1電極配線4は、隣接する単位容量セル1、1間を縦方向に延びるように配置された第1部分4a、4a、…と、第1電極2の4つの隅角部からそれぞれ横方向に延びる4つの第2部分4b、4b、…とからなっている。これら第1および第2部分4a、4bは、共に第3導電層により形成されている。

【0061】一方、第2電極3に対する第2電極配線5は、隣接する単位容量セル1、1間を横方向および縦方向に延びるように配置された第1部分5a、5a、…と、対応する単位容量セル1に近接する4つの第1部分5a、5a、…からそれぞれ第2電極3の各辺部中央に向かって延びる4つの第2部分5b、5b、…からなっている。各第1部分5aは第1導電層により形成されている。各第2部分5bは、第1部分5aの側については第1導電層により形成されている一方、第2電極3の側については第3導電層により形成されており、両者は、第2導電層を介して互いに接続している。

【0062】そして、この実施形態では、第1電極配線4の第1および第2部分4a、4bと第2電極配線5の第1部分5aとの容量結合を抑えるとともに、第2電極配線5の各第1部分5aと第2電極3との容量結合を抑えるシールド配線6が設けられている。

【0063】具体的には、シールド配線6は、第1電極配線4の縦方向の第1部分4aと第2電極配線5の第1部分5aとの間に配置された第1部分6aと、第1電極配線4の対応する4つの第1部分4a、4a、…と第1電極2との間に配置された矩形枠状の第2部分6bとからなる。シールド配線6の第1部分6aは、第2導電層により形成されており、第2部分6bは、第1～第3導電層により形成されている。

【0064】ここで、比較のために、図12に、シールド配線を設けることなく寄生容量結合を抑えるようにした従来の場合を示す。尚、同図では、第1電極配線4および第2電極配線5の各部分を形成する導電層は実施形態の場合とは多少異なるが、その配置は実施形態の場合と略同じである。図11と図12との対比から明らかであるように、この実施形態によれば、シールド配線6を設けることで、第2電極配線5の各第1部分5aと単位容量セル1との間の距離を小さくできることが判る。

【0065】（実施形態7）図13は、この発明の実施形態7に係る10ビット電荷再配分型A/D変換装置の構成を示しており、このA/D変換装置には、その局部D/A変換器10として、実施形態4に係る容量アレイ20（図6参照）を用いてなる電荷分配型D/A変換器

12

が組み込まれている。

【0066】容量アレイ20は、容量比が16:8:4:2:1:1:1:1:1:1である容量を有しており、D/A変換器10は、各容量毎に設けられたスイッチからなるスイッチ群30を有する。そして、最上位ビットに対応する容量のスイッチをVrefh側に切り換えるとともに、他の容量のスイッチをVrefl側に切り換え、入力アナログ信号Vinと最上位ビットの容量との大小を比較器40により比較する。そして、比較器40の出力に基づき、逐次変換ロジック回路50は、最上位ビットの容量の方が大きいときには、そのスイッチをVrefh側に固定してビット値を“1”に決める一方、最上位ビットの容量の方が小さいときには、そのスイッチをVrefl側に切り換えてビット値を“0”に決める。このような動作を各容量について1クロック毎に順次行って各位のビットを決めることで、アナログ信号Vinをデジタル信号に変換して出力するようになされる。

【0067】ここで、発明例としての本A/D変換装置について行った積分比直線性の実験について説明する。また、比較のために、シールド配線の無い容量アレイ（図7）を用いたD/A変換器が組み込まれてなる従来例としてのA/D変換装置についても、その積分比直線性を調べた。その結果を、図14に併せて示す。

【0068】図14から判るように、従来例の場合には、±1.7LSB程度の誤差が発生するのに対し、発明例では、誤差は±0.2LSB以下に抑えられている。

【0069】したがって、この実施形態によれば、電荷分配型D/A変換器10が局部D/A変換器として組み込まれてなる電荷再配分型A/D変換装置において、電荷分配型D/A変換器10に、実施形態4に係る容量アレイ20を用いるようにしたので、容量アレイ20の面積の増大を招くことなく該容量アレイ20内の各単位容量セルの相対精度を高めて、電荷分配型D/A変換器10および電荷再配分型A/D変換装置の精度向上に寄与することができる。

【0070】尚、上記の実施形態では、電荷分配型D/A変換器10の容量アレイ10に実施形態4を適用した場合について説明しているが、実施形態1～3ならびに実施形態5および6を適用することもできる。

【0071】

【発明の効果】以上説明したように、請求項1の発明によれば、シールド配線により第1および第2電極配線間の容量結合を抑えることができるので、第1および第2配線間の距離を大きくすることなく、そのような容量結合に起因する不具合の発生を未然に防止することができる。

【0072】請求項2の発明によれば、回路素子の第1および第2電極配線間の容量結合と、第1電極配線および第2電極間の容量結合と、第2電極配線および第1電

10

20

30

40

50

(8)

特開2003-17575

13

極間の容量結合とを共に抑えることができるので、そのような容量結合に起因する不具合の発生を未然に防止することができる。

【0073】請求項3～10の発明によれば、容量セル間の距離を大きくすることなく寄生容量を小さくすることができるので、容量セル相互間の相対精度の劣化や面積の増大によるチップコストの上昇を招くことなく、容量セルの相対精度を高めることができる。

【0074】請求項11および12の発明によれば、高精度な電荷分配型D/A変換装置および電荷再分配型A/D変換装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の実施形態1に係る容量アレイの構成を模式的に示す平面図である。

【図2】この発明の実施形態2に係る単位容量セルの構成を模式的に示す平面図である。

【図3】図2のIII-III線断面図である。

【図4】この発明の実施形態3に係る単位容量セルの構成を模式的に示す平面図である。

【図5】図4のV-V線断面図である。

【図6】この発明の実施形態4に係る単位容量セルの構成を模式的に示す平面図である。

【図7】シールド配線の無い場合の単位容量セルの構成を模式的に示す図6相当図である。

【図8】この発明の実施形態5に係る容量アレイの構成を模式的に示す平面図である。

【図9】シールド配線の無い場合の容量アレイの構成を模式的に示す図8相当図である。

10

20

\*

14

\*【図10】シールド配線の有る場合(a)とシールド配線の無い場合(b)とでの寄生容量の発生状態を対比して示す回路図である。

【図11】この発明の実施形態6に係る単位容量セルの構成を示す平面図である。

【図12】シールド配線の無い場合の単位容量セルの構成を拡大して示す図11相当図である。

【図13】この発明の実施形態7に係る10ビット電荷再分配型A/D変換器の構成を示す回路図である。

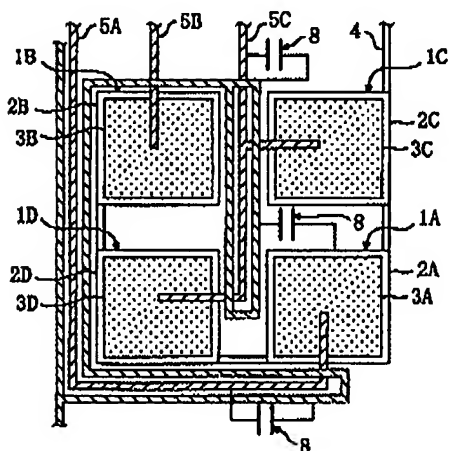
【図14】10ビット電荷再分配型A/D変換器における発明例および従来例の各積分比直線性を併せて示す特性図である。

【図15】従来の容量アレイの構成を模式的に示す図1相当図である。

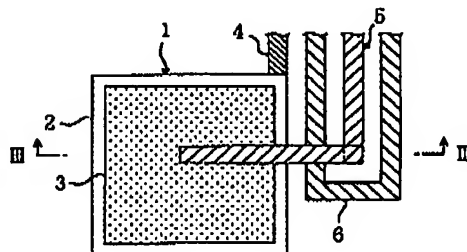
【符号の説明】

- 1, 1A～1D 単位容量セル (容量セル, 回路素子)
- 2, 2A～2D 下側電極, 拡散層, 第1電極
- 3, 3A～3D 上側電極, ポリシリコン層, 第2電極
- 4, 4A～4C 下側電極配線, 拡散層電極配線, 第1電極配線
- 5, 5A～5C 上側電極配線, ポリシリコン層電極配線, 第2電極配線
- 6 シールド配線
- 10 電荷分配型D/A変換器
- 11 第1導電層
- 12 第2導電層
- 13 第3導電層

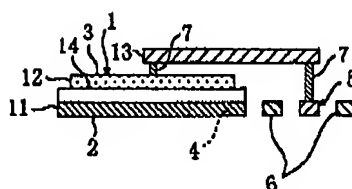
【図1】



【図2】



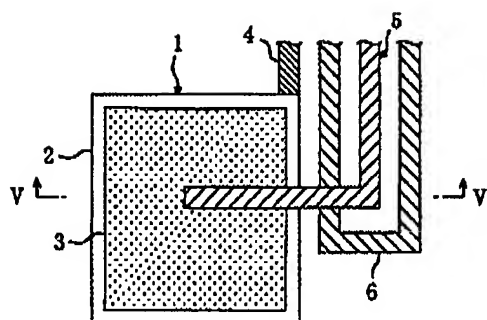
【図3】



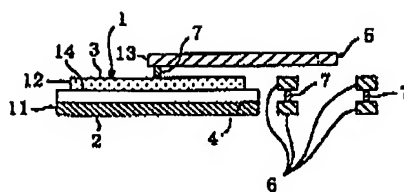
(9)

特開2003-17575

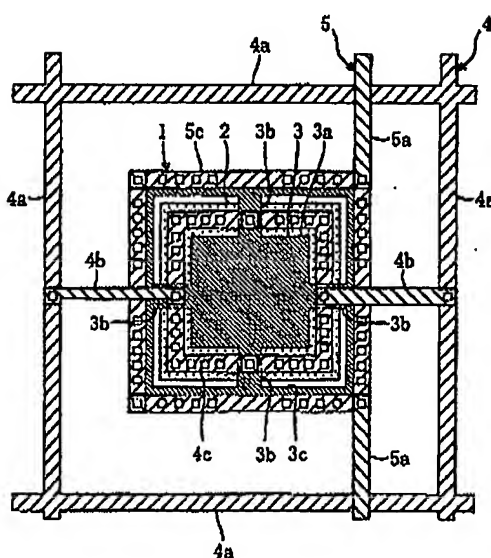
【図4】



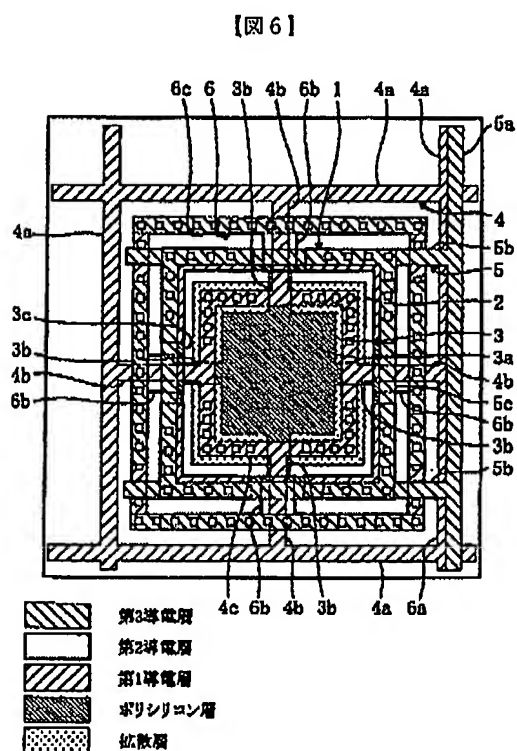
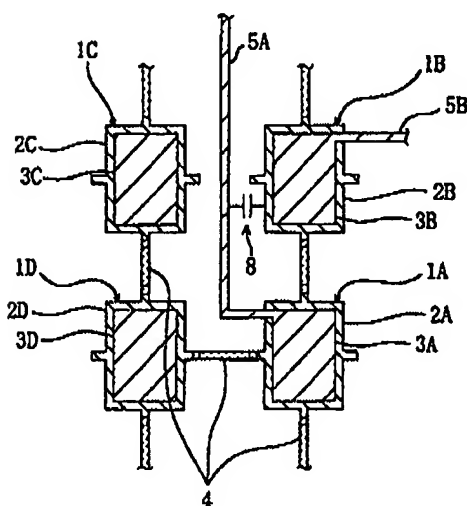
【図5】



【図7】



【図9】



第3導電層

第2導電層

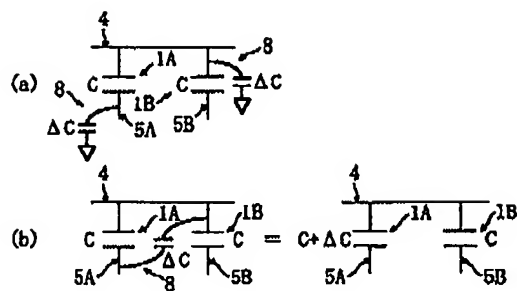
第1導電層

ポリシリコン層

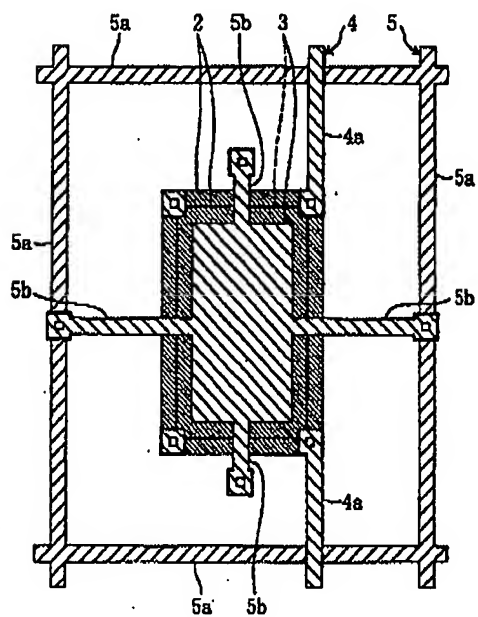
拡散層

特開2003-17575

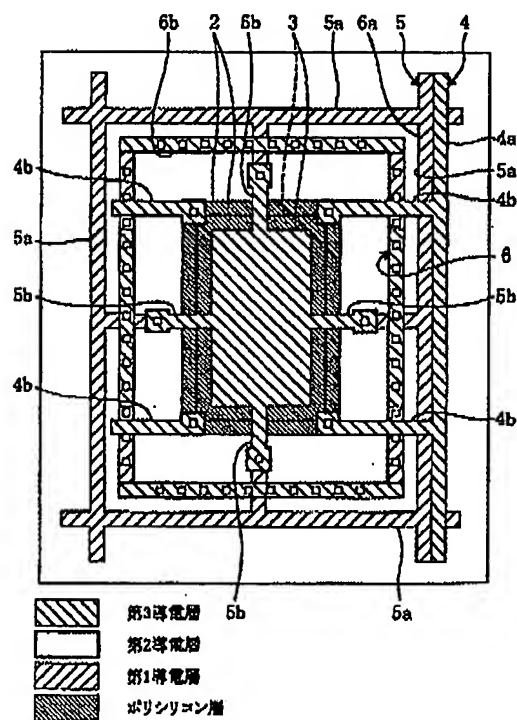
【圖 10】



【图 12】



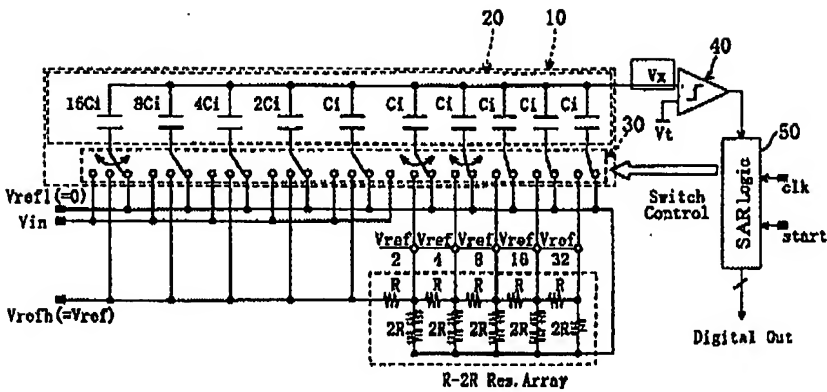
【圖 1 1】



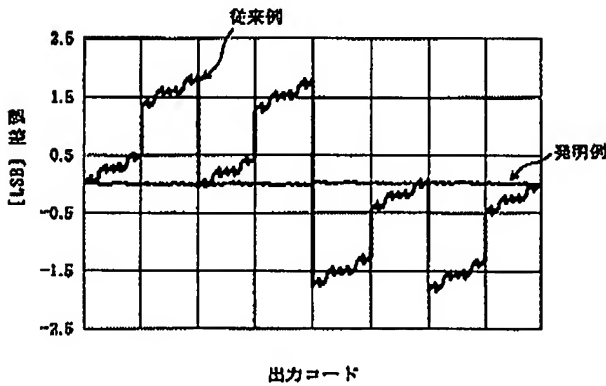
(11)

特開2003-17575

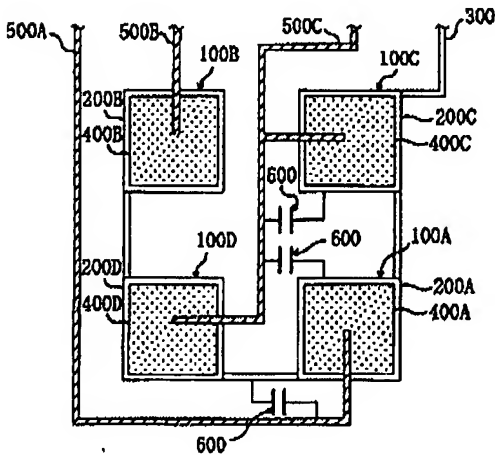
【図13】



【図14】



【図15】



(12)

特開2003-17575

フロントページの続き

(72)発明者 野間▲崎▼ 大輔

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5F038 AC05 BH10 BH19 CD05 CD13

DF03 DF12 EZ08 EZ20